

pcie 总线授时卡的使用

计算机时间基本由网络时间或主板时钟芯片提供，导致时间误差大，在工业控制、数据测量等领域无法完成特定任务。为解决计算机时间误差较大问题，部分学者提出 windows 系统下 pci 总线接口的 GPS 授时卡。这种方法的不足在于：数据吞吐量、带宽的限制使得 pci 总线逐渐被 pcie 总线授时卡所取代，且 GPS 授时方式以及美国微软 windows 系统无法在国家安全敏感部门使用。针对上述不足，基于国产 linuk 系统平台，设计了 PCIE 总线接口的授时卡，驱动程序以及基本应用软件。

一、发展历程

随着嵌入式技术的飞速发展，嵌入式系统在对大数据量交互方面提出更高需求的同时还对总线传输速率以及数据完整性等方面提出了越来越高的要求。虽然过去的十几年中 PCI 总线在嵌入式领域得到了广泛的应用，但由于 PCI 总线的并行特性，整体设计难度大，故主流的技术已经成为系统整体性能提升的瓶颈。因此，串行 PCI Express (PCIe) 总线标准凭借其高速串行传送特性以及能够支持更高的传输频率、无需共享总线带宽等优势，经推出就得到了迅速的发展，并开始逐步取代 PCI 总线。

二、通讯协议

PCIe 总线串行传输的特性是通过报文的形式进行传输，每个数据报文在 PCIe 的事务层被封装成一个或者多个 TLP 数据包，PCIe 设备之间则通过这些数据包进行数据通信。由于 TLP 的数据包中包含

TLP 前缀、TLP 头以及 TLP 摘要等信息，因此，当设备在进行单次数据传输（每个报文数据负载长度为 1）时 PCIe 总线的性能优势并不明显，其传输速度甚至还不如 PCI 总线。为了得到更高的传输效率，在使用 PCIe 总线进行数据传输时往往需要使用 DMA 的传输方式。

PCIe 总线技术是取代 PCI 的第三代 I/O 技术，也称为 3GIO。PCIe 总线是为将来的计算机和通讯平台定义的一种高性能、通用 I/O 互连总线，在其物理实现上使用了高速差分的方式来实现数据传输，与此同时，其端到端的连接方式使得每条 PCIe 链路中只能连接两个设备，因此相比于 PCI 所有设备共享总线带宽来说，PCIe 总线具有独享传输通道数据带宽的特性与 PCI 总线相比，PCIe 总线主要有下面的技术优势：

- 1) 是串行总线，进行点对点传输，每个传输通道独享带宽；
- 2) 支持双向传输模式和数据分通道传输模式，支持 x1, x4, x8, x16 等模式，x1 单向传输带宽可达到 250MByte/s，双向传输带宽更能够达到 500 MByte/s；
- 3) 充分利用先进的点到点互连、基于交换的技术和基于包的协议来实现新的总线性能和特征；
- 4) 对 PCI 总线具有良好的继承性，可以保持软件的继承和可靠性；
- 5) 充分利用先进的点到点互连，降低了系统硬件平台设计的复杂性和难度，从而大大降低了系统的开发制造设计成本，极大地提高系统的性价比和鲁棒性。

总线技术发展的同时对时间同步装置也提出了更高的要求，新一代的 PCI Express 总线，虽具有速度快、实时性好、可控性佳等优点，但其协议的复杂给开发者带来了难度。

北斗/GPS 双模授时方法，结合先进的接口芯片来驱动 PCI Express 总线，利用具有低功耗、实时性强等性能的数字可编程器件（FPGA）来进行电路设计，使得时间同步装置与 PC 机之间信息交换变得简单易用。



三、举例说明

SYN4632 是一款通过总线控制，为计算机、工控机等操作系统提供高精度硬件时钟的同步卡。该时钟同步卡采用流水线自动化贴片生产，使用 FPGA+ARM 框架设计，接收 GPS/北斗/PTP/交直流 IRIG-B 码等外部参考信号，输出各种时间频率信号，提高系统的时间精度和准确度，满足不同用户需求。

该时钟同步卡内置高精度守时时钟源，当外部参考无效时仍然可

以提供高精度授时服务。并配套提供 Windows 校时管理软件和各种操作系统的 API 驱动，完全实现高精度应用程序授时，具有兼容性强，接口丰富、精度高、稳定性好、功能强、无积累误差、不受地域气候等环境条件限制、性价比高、操作简单、免维护等特点。

产品功能

- (1) 支持 PCIE 总线授时，时间精度优于 10us；
- (2) 内置高精度授时型 GPS/BD 双模接收机；
- (3) 外参考失锁后依靠内置高精度时钟守时；
- (4) 支持即插即用 (Plug and Play) ；
- (5) 输出秒脉冲 (PPS) 时标同步脉冲信号；
- (6) Windows/Linux 32 位/64 位驱动，提供 API 函数接口；
- (7) 提供 windows 上位机校时软件，对计算机进行自动校时；
- (8) 可在 PCIE 总线上提供多种中断信号；
- (9) PCIE 总线提供时间信息，GPS、BD 卫星颗数，板卡同步状态等信息；
- (10) 输出 1PPS 和串口 TOD (NEMA0183 中 GPRMC 语句，带经纬度定位信息) ；

产品特点

- (1) 高精密，全自动，无人值守，免维护；
- (2) 对主要电路部分采用金属外壳屏蔽，抗干扰能力强；
- (3) 功耗小，可靠性高, 可长期连续稳定工作；
- (4) 安装简便：该产品可直接插入计算机（或工控机）的 PCIE

扩展槽。

四、应用程序与驱动程序

应用程序与驱动程序设计是系统开发过程中重要的软件环节，软件是基于 Windows 系统开发的，为了降低开发难度，设计中使用 WDM 进行 PCIE 驱动功能的开发，应用层程序的开发则使用了 VC++6.0。主要包括了设备操作、设备信息、I/O 端口读写、北斗/GPS/守时时间以及 IRIG-B 码解码时间显示五个部分组成。设备操作组要包含打开、关闭、退出设备三个部分组成；设备信息组要包含了驱动版本号、DLL 版本号、设备号、中断号及 I/O 基址，这些都是在上电初始化后在打开设备开启的时候在授时卡驱动程序里面进行自动读取的，并且 PCIE 的配置空间信息如 VendorID、De-vice ID、Revision ID 等信息也是在设备开启的时候自行读取的；I/O 端口读写是方便一些管脚的测试，用于端口应用。

使用 FPGA 来设计基于 PCIe 总线的数据传输，可以省去专用的 PCIe 接口芯片，降低硬件的设计成本，提高硬件集成度的同时还能利用 FPGA 的可编程特性提高设计的灵活性与适应性。与此同时，目前很多 FPGA 内都嵌入了 PCIe 的硬核，此硬核支持 PCIe 传输的单字读写操作以及 DMA 读写操作，由于 PCIe 具有一定的协议开销，其单字传输效率不甚理想，因此，本文在 PCIe 单字传输的基础上提出了一种基于 PCIe 接口的 DMA 传输的设计方案，此方案可以稳定快速地实现 PCIe 总线的 DMA 传输。经测试，DMA 传输方案在传输带宽方面满足设计要求。